

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-350951

(43)Date of publication of application : 04.12.1992

(51)Int.Cl.

H01L 21/60
H01L 21/3205

(21)Application number : 03-123823

(71)Applicant : MITSUBISHI HEAVY IND LTD

(22)Date of filing : 28.05.1991

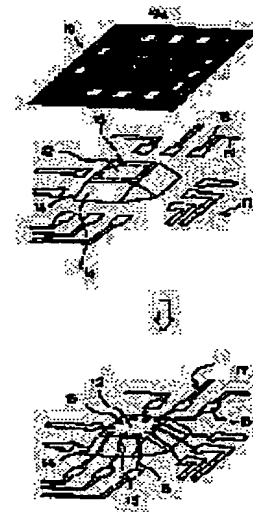
(72)Inventor : SHIBAYAMA NAOKI
KURODA YOSHIKATSU

(54) METHOD OF WIRING SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To realize improvement in workability, earthquake resistance, reliability, and miniaturization in wiring of a semiconductor device.

CONSTITUTION: In a method of wiring a semiconductor device comprising following: a bare IC chip 12, mounted on a circuit board 11, topped with a plurality of first electrodes 15, and ended with bevels spread toward the board main face; a conductor pattern formed around the bare IC chip and tipped with a plurality of second electrodes 16; and a connection means to electrically connect the first electrodes and the second electrodes, the connection means is formed by matallization such as evaporation on the board and the IC chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-350951

(43) 公開日 平成4年(1992)12月4日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 2 1 E	6918-4M		
21/3205		7353-4M	H 0 1 L 21/88	B

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-123823
 (22) 出願日 平成3年(1991)5月28日

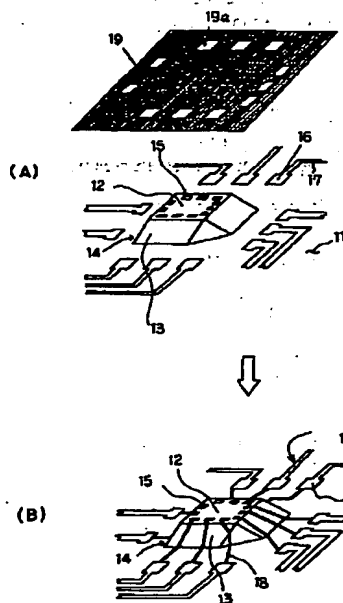
(71) 出願人 000006208
 三菱重工業株式会社
 東京都千代田区丸の内二丁目5番1号
 (72) 発明者 柴山 直樹
 愛知県小牧市大字東田中1200番地 三菱重
 工業株式会社名古屋誘導推進システム製作
 所内
 (72) 発明者 黒田 館克
 愛知県小牧市大字東田中1200番地 三菱重
 工業株式会社名古屋誘導推進システム製作
 所内
 (74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の配線方法

(57) 【要約】

【目的】 本発明は、作業性の改善、耐震性、信頼性、小型化を主目的とする。

【構成】 基板(11)上に搭載され、上部に複数の第1電極(15)が形成されるとともに端部に基板主面側に向って末広がりの傾斜部を有した裸 I C チップ(12)と、前記裸 I C チップの周辺に形成され先端部が複数の第2電極(16)になっている導体パターンと、前記第1電極と第2電極とを電気的に接続する接続手段とを具備する半導体装置の配線方法において、前記接続手段を前記基板及び I C チップ上に蒸着等のメタライズを行なうことにより形成することを特徴とする半導体装置の配線方法。



1

【特許請求の範囲】

【請求項1】 基板上に搭載され、上部に複数の第1電極が形成されるとともに端部に基板主面側に向って末広がり傾斜部を有した裸ICチップと、前記裸ICチップの周辺に形成され先端部が複数の第2電極になっている導体パターンと、前記第1電極と第2電極とを電気的に接続する接続手段とを具備する半導体装置の配線方法において、前記接続手段を前記基板及びICチップ上に蒸着等のメタライズを行なうことにより形成することを特徴とする半導体装置の配線方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の配線方法に関し、特に圧力センサ、赤外線センサなどの各種センサへの配線にも適用できるものである。

【0002】

【従来の技術】 図6は、従来のワイヤボンディング法を用いた半導体装置を示す。

【0003】 図中の1は、基板である。この基板1の所定の位置には裸ICチップ2が搭載され、前記チップ2の上部周縁には複数の第1電極3が設けられている。前記チップ2の周囲の基板1上には、先端部に第2電極4が形成された複数の導体パターン5が形成されている。前記チップ2の第1電極3と導体パターン4の第2電極4は、A1やA_nなどからなるボンディングワイヤ6により電気的に接続されている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来技術によれば、以下に述べる問題点を有する。

【0005】 (1) 作業性が悪い。即ち、配線必要箇所を1箇所ずつボンディングワイヤ6で配線する必要があるが、1ヶの装置で複雑な裸ICチップの同時配線を行うのは困難である。

(2) 耐振性が悪い。即ち、配線したボンディングワイヤ6は、高周波の振動に弱く、疲労破壊しやすい。

【0006】 (3) 信頼性が低い。即ち、1つの裸ICチップ2から例えば0.1cm²あたり40本以上のボンディングワイヤを配線する際、ワイヤ間の接触が起こり易い。また、ワイヤボンディング作業中、裸ICチップ2を破損することがある。これらの原因からICの機能に不具合が生じ、ワイヤボンディング法はICの信頼性を低下させる可能性が高い。

【0007】 (4) 小型化が困難である。即ち、図6のように裸ICチップ2と基板1上の第1電極3の間にワイヤボンディングのためのスペースが必要であり、小型化が困難である。また、ワイヤボンディング法は裸ICチップの第1電極3から一度上にボンディングワイヤ6を引き上げるため、裸ICチップ2の厚さの1.5～5倍程度の高さが必要であり、小型化が困難である。

【0008】 本発明は上記事情に鑑みてなされたもの

2

で、裸ICチップ上の第1電極と基板上の第2電極との配線形成をメタライズで行なうことにより、従来と比べ作業性に優れ、耐震性に優れ、信頼性が高く、かつ小形化が可能な半導体装置の配線方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、基板上に搭載され、上部に複数の第1電極が形成されるとともに端部に基板主面側に向って末広がり傾斜部を有した裸ICチップと、前記裸ICチップの周辺に形成され先端部が複数の第2電極になっている導体パターンと、前記第1電極と第2電極とを電気的に接続する接続手段とを具備する半導体装置の配線方法において、前記接続手段を前記基板及びICチップ上に蒸着等のメタライズを行なうことにより形成することを特徴とする半導体装置の配線方法である。

【0010】 本発明において、前記傾斜部はICチップをウェハからカットする際に斜めにカットすることにより形成してもよいし、図3のようにセラミックブロックをICチップの側面に接合させることにより形成してもよい。

【0011】 本発明において、メタライズ（あるいはメタライジング：Metallizing）とは非金属表面に金属層を形成させ、非金属の外観を金属化させることを意味する。金属被膜を作る方法としては、溶射法、真空蒸着法、無電界メッキ法等が挙げられる。

【0012】

【作用】 本発明によれば、ICチップ上の第1電極と基板上の第2電極との配線をメタライズで行なうため、以下に述べる効果を有する。

【0013】 (1) 作業性が良い。即ち、従来、配線必要箇所を1箇所ずつワイヤボンディング（配線）していたが、本発明の場合1枚の基板で必要な配線を一度に行なうことができる。また、蒸着装置等のメタライズ装置が大きければ、複数の基板を一度に配線することができる。

(2) 耐振性が良い。即ち、メタライズによる配線のパターンは基板やICチップと密着しているため、振動に強く、耐震性に優れている。

【0014】 (3) 信頼性が高い。即ち、配線時において、ICチップに機械的ストレスが加わらないため、ICチップの破損の可能性が低い。また、ワイヤによる配線がないため、配線間の接触がなく、信頼性は高い。

【0015】 (4) 小型化が可能である。即ち、ワイヤによる配線がないため、配線後の高さはワイヤボンディング法に比べ、2/3～1/5程度となる。また、ICチップ周囲の配線スペースもワイヤボンディング法に比べて1/2～1/10程度に縮小でき、小型化が可能である。

【0016】

【実施例】

（実施例1）図1は、本発明方法によって得られた半導体装置の概略説明図を示す。

【0017】図中の11は基板である。ここで、基板としては、熱膨張による断線を防止するためにS1に近い熱膨張係数を有するセラミック基板やメタルベース基板を用いる。この基板11の所定の位置には、裸ICチップ12が接着剤やS1とAuの共晶結合等の手法により接合されている。前記基板11の側壁には、基板11との段差をなくすためにAl₂O₃（アルミナ）等の絶縁膜13で被覆された傾斜部としてのスカート部14が設けられている。ここで、スカート部14はICチップ12をウェハからカットする際斜めにカットすることにより、容易に準備できる。前記チップ12の上部周縁には、複数の第1電極15が設けられている。前記チップ12の周囲の基板11上には、先端部に第2電極16が形成された複数の導体パターン17が形成されている。前記チップ12の第1電極15と導体パターン17の第2電極16は、Cu、Cr、Alからなる配線18により電気的に接続されている。次に、こうした構成の半導体装置において、配線の形成方法について図2

(A)、(B)及び図7を参照して説明する。

【0018】(1) まず、斜めにカットした裸ICチップ12の傾斜面を絶縁するために、メタルスクリーンに窓を開けたマスクを被せ、アルミナ等の絶縁膜13の蒸着を10～50μmの厚さまで行う。なお、アルミナのかわりに他の酸化物や窒化物を使用してもよい。図7は、蒸着装置の一例を示すもので、基板11は該基板の裏面側を上に向けて真空装置にセットする。

【0019】(2) 次に、図2(A)のように配線形成箇所にメタライズするための窓19aを開けたマスク（メタルマスク）19を用いて、Cu、Cr、Al等の導体配線材料を厚み10～50μm蒸着し、基板11上の第2電極15とチップ12の第1電極14とを接続する配線18を前記絶縁膜13上等に形成した（図2(B)図示）。

【0020】しかして、上記実施例によれば、裸ICチップ12上の第1電極14と基板11上の第2電極16を接続する配線の形成をメタライズにより行なうため、以下に述べる効果を有する。

【0021】(1) 作業性が良い。即ち、従来、配線必要箇所を1箇所ずつワイヤボンディング（配線）していたが、本発明の場合1枚の基板で必要な配線を一度に行なうことができる。また、蒸着装置等のメタライズ装置が大きければ、複数の基板を一度に配線することができる。

(2) 耐振性が良い。即ち、メタライズによる配線のパターンは基板11や裸ICチップ12と密着しているため、振動に強く、耐震性に優れている。

【0022】(3) 信頼性が高い。即ち、配線時において、裸ICチップ12に機械的ストレスが加わらないため、裸ICチップ12の破損の可能性が低い。また、従来のようにワイヤによる配線がないため、配線間の接触がなく、信頼性は高い。

【0023】(4) 小型化が可能である。即ち、従来のようにワイヤによる配線がないため、配線後の高さはワイヤボンディング法に比べ、2/3～1/5程度となる。また、裸ICチップ12周囲の配線スペースもワイヤボンディング法に比べて1/2～1/10程度に縮小でき、小型化が可能である。

【実施例2】

【0024】まず、スカート部21を有した裸ICチップ12を、基板11に接着剤やS1とAuの共晶結合等の手法により接合させた。ここで、前記スカート部21は、セラミックブロックを略直方体形状のチップ12の側面に接着させることにより形成する。次に、図3(A)のように配線必要箇所にメタライズするための窓22aを開けたマスク（メタルマスク）22を被せ、導電性の塗料やペーストを塗布することにより基板11上の第2電極15とチップ12の第1電極14とを接続する配線23を前記スカート部21等の上に形成した（図3(B)図示）。しかして、実施例2においては、実施例1と比較して、スカート部21がセラミックブロックよりなるため、絶縁膜も形成が不要である。

【0025】

【発明の効果】以上詳述した如く本発明によれば、裸ICチップ上の第1電極と基板上の第2電極との配線形成をメタライズで行なうことにより、従来と比べ作業性に優れ、耐震性に優れ、信頼性が高く、かつ小形化可能な半導体装置の配線方法を提供できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体装置の説明図。

【図2】本発明の一実施例に係る半導体装置の配線方法の説明図。

【図3】本発明の他の実施例に係る半導体装置の配線方法の説明図。

【図4】図2(B)の要部の断面図。

【図5】図3(B)の要部の断面図。

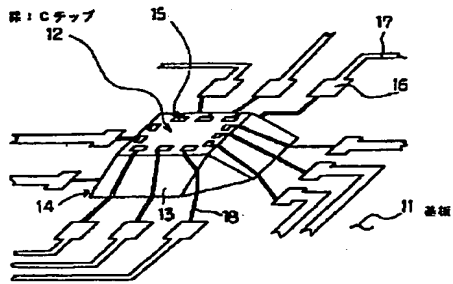
【図6】ワイヤボンディング法の説明図。

【図7】本発明に係るアルミナや配線材料を蒸着するための装置の説明図。

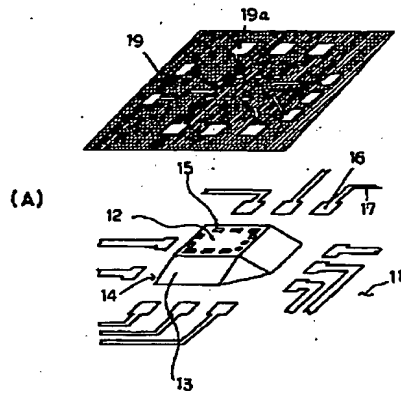
【符号の説明】

11…基板、12…裸ICチップ、13…絶縁膜、14…スカート部、15…第1電極、16…第2電極、17…導体パターン、18、23…配線、19…マスク（メタルマスク）、19a、22a…窓。

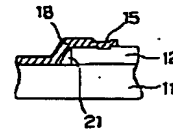
【図1】



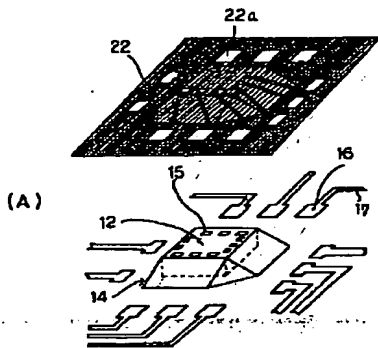
【図2】



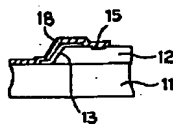
【図5】



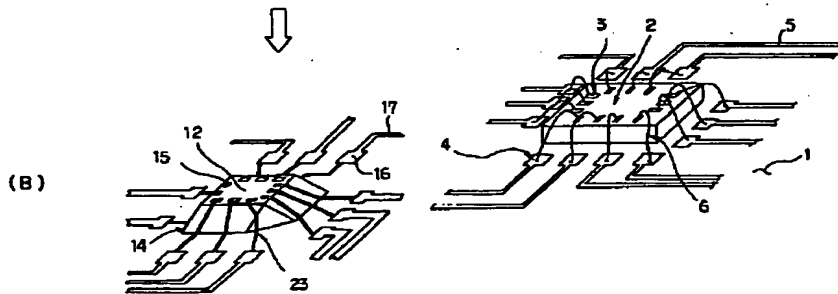
【図3】



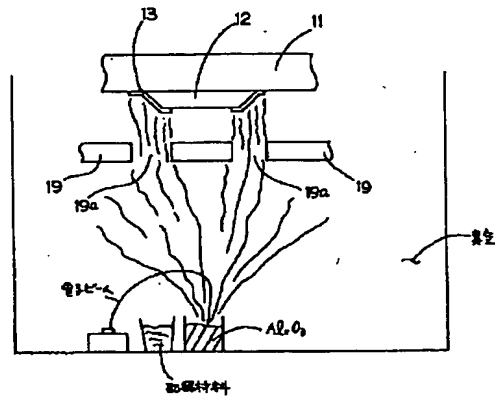
【図4】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.